



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06164565 A**(43) Date of publication of application: **10.06.94**

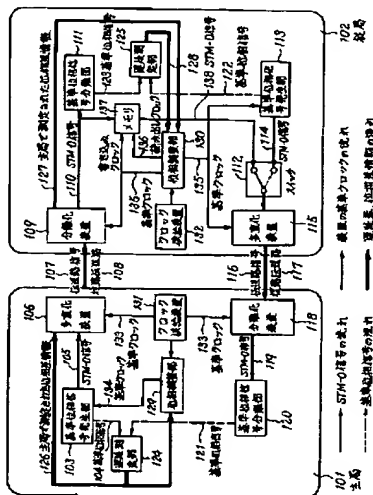
(51) Int. Cl. **H04L 7/00**
H04B 3/46
H04J 3/00
H04L 12/24
H04L 12/26

(21) Application number: **04313578**(22) Date of filing: **24.11.92**(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**(72) Inventor: **IMAOKA ATSUSHI
KIHARA MASAMI****(54) TRANSMISSION DELAY MEASURING SYSTEM****(57) Abstract:**

PURPOSE: To precisely measure transmission delay time between devices which are geographically detached on transmission delay time in a digital communication network.

CONSTITUTION: The phases of reference phase signals outputted from the separating devices of a main station and a slave station are observed while a phase difference between the multiplex device 106 of the main station 101 and the separating device 109 of the slave station 102 is changed. Then, delay time in the separating device 109 is measured. The phase difference is fixed and the phases of the reference phase signals outputted from the separating devices of the main station and the slave station are observed while the phase of the reference phase signal inputted to the multiplex device is continuously shifted on a main station-side and delay time in the multiplex device 106 is measured. Thus, the phase of the reference phase signal in the main station is fixed and the phase of the reference phase signal generated in the main station and the reference phase signal returned to the main station from the slave station are compared.

COPYRIGHT: (C)1994,JPO&Japio



(11)特許出願公開番号

(43)公開日 平成6年(1994)6月10日

審査請求 未請求 請求項の数 1 (全 12 頁) 最終頁に続く

(74)代理人 弁理士 本間 崇

【特許請求の範囲】

【請求項1】 同期系のインターフェースを用いる伝送路網の伝送遅延を測定するため、主局は基準位相信号を発生し、その基準位相信号を多重化装置で伝送路信号に收容した後、往路伝送路を介して従局に送信し、従局は、分離化装置で、送信されてきた伝送路信号から基準位相信号を抜き出した後、再び多重化装置で伝送路信号に收容し復路伝送路を介して主局に返送し、さらに、主局は分離化装置において返送された伝送路信号から基準位相信号を抜きだす、伝送遅延測定方式において、
第1過程では、主局の多重化装置と従局の分離化装置の位相差を連続的に変化させながら、主局及び従局の分離化装置から出力される基準位相信号の位相を観測し、主局及び従局の分離化装置内の遅延時間を測定した後、主局の多重化装置と従局の分離化装置の位相差を固定し、
第2過程では、主局側で多重化装置に入力される基準位相信号の位相を連続的にずらしながら、主局及び従局の分離化装置から出力される基準位相信号の位相を観測し、主局及び従局の多重化装置内の遅延時間を測定した後、主局の基準位相信号の位相を固定し、
第3過程では、主局で発生した基準位相信号と従局から主局に返送されてきた基準位相信号とを位相比較して、伝送遅延時間を測定する、ことを特徴とする伝送遅延測定方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル通信網において、地理的に離れた装置間の伝送遅延時間を正確に測定する伝送遅延測定方式に関するものである。

【0002】

【従来の技術】 従来から、地理的に離れて設置された主局と従局間の伝送遅延時間を測定するため、折り返しの伝送路を用いて往復の遅延時間を測定し、その $1/2$ を片道の伝送遅延時間とする方式がある。

【0003】 この方式では、図7のように、主局701の基準位相信号発生部703で生成された基準位相信号704を往路伝送路705を介して従局702に送信し、従局702では、基準位相信号713を復路伝送路706を介して主局に返送する。その際、基準位相信号は多重化装置707、709で高速の伝送路信号711、712に多重化されて送信される。

【0004】 送信された局では、分離化装置708、710で伝送路信号から基準位相信号を分離する。主局では遅延測定部774において、基準位相信号704と従局から返送された基準位相信号715の位相差 ΔD を測定し、その $1/2$ を往路伝送路の遅延時間とする。

【0005】 往路の遅延時間を $\Delta T1$ 、復路の遅延時間を $\Delta T2$ とすると、 ΔD は、 $\Delta D = \Delta T1 + \Delta T2$

である。往路伝送路と復路伝送路は一般に同じルートで

通っており長さもほぼ等しいため、

$$\Delta T1 = \Delta T2$$

とすることができ。従って、往路の遅延時間 $\Delta T1$ は、折り返し伝送路の遅延時間 ΔD から、

$$\Delta T1 = \Delta D / 2$$

で求めることができる。

【0006】

【発明が解決しようとする課題】 CCITT勧告(G.707、G.708、G.709)に規定された新同期インターフェース(いわゆるSDHインターフェース)のような同期系のインターフェースを用いた網では、多重化装置や分離化装置などの伝送装置内では、伝送信号はその装置の設置されている局の基準クロックに乗せ換えられてから、多重分離などの処理が行われる。このような同期系の網に前述の遅延測定方式を適用した場合、クロック乗せ換えのため装置内の遅延時間に、ばらつきが生じ、遅延時間測定に誤差が生じるという問題があった。以下、この問題点について説明する。

【0007】 図8は、CCITT勧告(G.707、G.708、G.709)に規定されたインターフェースのうち、51.84Mb/sの伝送速度を持つシンクロナストラנסポートモジュール(STM-0)伝送路信号を例にとり、装置内の遅延時間のばらつきを説明した図である。STM-0信号は8kHz周期のフレーム構造を持ち、フレーム同期信号や伝送路の管理保守情報などを送信するためのセクションオーバーヘッド(SOH)802、情報信号が收容されるペイロード803で構成される。

【0008】 ペイロードには伝送路速度より低速の信号であるバーチャルコンテナ(VC-32)804が收容され、実際の情報信号はVC-32に含まれている。VC-32もまたフレーム構造を持ち、その先頭位置(先頭の位相)はAU-32ポイント805で指示されている。先頭位置の指示はバイト単位(1バイトは8ビット)で行われる。

【0009】 いま、ある局の伝送装置にAU-32ポイント値がY(バイト)であるSTM-0信号801が到着した場合、そのSTM-0に收容されていたVC-32信号804は、局内基準フレームに同期したSTM-0信号806に乗せ換えられてから多重、分離などの処理が行われる。到着したSTM-0信号801のフレームと局内基準フレームに同期したSTM-0信号806のフレームとの位相差をX(単位はバイト)とすれば、AU-32ポイント値Pを

$$P = Y - X$$

とすることにより、VC-32信号の先頭位置を保持したままクロック乗せ換えができる。しかし、ポイントはバイト単位でしか先頭位置を指示できないため、実際のAU-32ポイント808の値Pは、

$$P = Y - [X]$$

となる。ここで[X]はガウスの記号であり、Xを越えない最大の整数を表している。

【0010】したがって、到着したVC-32信号804とクロック乗せ換え後のVC-32信号807との間の先頭位置のずれZは、

$$Z = X - [X]$$

で表される。図3は横軸にX、縦軸にZを表したグラフである。Xが整数の時のみ、ずれZは0となり、最大1バイトのずれが生じることがわかる。VC-32を基準位相信号として従来技術の遅延測定方式を実行する場合、このずれが遅延測定の誤差となる。STM-0信号の場合1バイトは時間にして約150nsであり、高精度の遅延時間測定を行う場合問題となる。

【0011】本発明は、このような問題点を解決し、伝送遅延時間を正確に測定する遅延測定方式を実現することを目的としている。

【0012】

【課題を解決するための手段】本発明によれば、上述の課題は前記特許請求の範囲に記載した手段により解決される。

【0013】すなわち、本発明は、同期系のインターフェースを用いる伝送路網の伝送遅延を測定するため、主局は基準位相信号を発生し、その基準位相信号を多重化装置で伝送路信号に収容した後、往路伝送路を介して従局に送信し、従局は、分離化装置で、送信されてきた伝送路信号から基準位相信号を抜き出した後、再び多重化装置で伝送路信号に収容し復路伝送路を介して主局に返送し、さらに主局は分離化装置において返送された伝送路信号から基準位相信号を抜きだす伝送遅延測定方式において、第1過程では、主局の多重化装置と従局の分離化装置の位相差を連続的に変化させながら、主局及び及び従局の分離化装置から出力される基準位相信号の位相を観測し、主局及び従局の分離化装置内の遅延時間を測定した後、主局の多重化装置と従局の分離化装置の位相差を固定し、第2過程では、主局側で多重化装置に入力される基準位相信号の位相を連続的にずらしながら、主局及び従局の分離化装置から出力される基準位相信号の位相を観測し、主局及び従局の多重化装置内の遅延時間を測定した後、主局の基準位相信号の位相を固定し、第3過程では、主局で発生した基準位相信号と従局から主局に返送されてきた基準位相信号とを位相比較して、伝送遅延時間を測定する伝送遅延測定方式である。

【0014】

【作用】本発明では、第1過程において、従局の分離化装置（図7の708）と主局の分離化装置（図7の710）の装置内遅延を測定し、第2過程において主局の多重化装置（図7の707）と従局の多重化装置（図7の709）の装置内遅延を測定する。第1過程と第2過程により多重化装置と分離化装置の装置内遅延はすべて決定できるので、第3過程において折り返し伝送路の遅延

時間を測定することにより、主局と従局との間の伝送路の遅延時間を装置内遅延の影響なしに測定することができる。

【0015】

【実施例】以下に実施例としてCCITT勧告（G.707、G708、G709）に規定された新同期インターフェースを有する伝送路網に本発明を適用した例を説明するが、本発明はこれに限るものではなく、他のインターフェースを有するネットワークにも適用できるものである。

【A】 第1の実施例

図1は本発明の第1の実施例を示すブロック図である。同図において、主局101の基準位相信号発生部103から基準位相信号104ならびにSTM-0信号105が送出される。STM-0信号105には、基準位相信号104が重畳されたVC-32信号が収容されている。このVC-32信号の先頭位相は基準位相信号104の位相と同じである。

【0016】STM-0信号105は主局の多重化装置106で伝送路信号107に多重化されて往路伝送路108を介して従局の分離化装置109に送信される。分離化装置は伝送路信号からSTM-0信号110を分離し、従局の基準位相信号分離部111およびメモリ137に送る。メモリ137には、STM-0信号110が、分離化装置の基準クロック135に同期した速度で書き込まれ、基準クロック136に同期した速度で読み出される。

【0017】読み出しクロック136は位相調整部で、135とは独立に制御される。メモリ137から読み出されたSTM-0信号138はスイッチ112に送られる。従局の基準位相信号発生部113では、基準位相信号122ならびにSTM-0信号114を発生する。STM-0信号114には、基準位相信号122が重畳されたVC-32信号が収容されている。このVC-32信号の先頭位相は基準位相信号122の位相と同じである。

【0018】従局の基準位相信号発生部で発生したSTM-0信号114はスイッチ112に送られる。スイッチでは2つのSTM-0信号138、114のどちらかを選択して従局の多重化装置115に送る。多重化装置はスイッチで選択されたSTM-0信号の伝送路信号116に多重化し、復路伝送路117を介して主局の分離化装置118に送信する。主局の分離化装置では伝送路信号からSTM-0信号119を分離し、主局の基準位相信号分離部120に送る。

【0019】主局と従局の基準位相信号分離部120、111ではそれぞれ、STM-0信号に収容されたVC-32信号の先頭位置を基準位相信号121、123として分離する。

【0020】主局の遅延測定部124では、基準位相信

号発生部からの基準位相信号104と基準位相信号分離部で分離された基準位相信号121との位相差を測定する。従局の遅延測定部125では、基準位相信号発生部からの基準位相信号122と基準位相信号分離部で分離された基準位相信号123との位相差を測定する。

【0021】主局の遅延測定部で測定された位相差情報126は主局の位相調整部129に送られる。また、主局の遅延測定部で測定された位相差情報126は、往路伝送路を介して従局に送信され(127)、従局の位相調整部130に送られる。従局の遅延測定部125で測定された位相差情報128も従局の位相調整部130に送られる。

【0022】主局の多重化装置106と分離化装置118は、主局のクロック供給装置131の基準クロック433に同期して動作している。主局の基準位相信号発生部103は、位相調整部129を介して送られた、基準クロック134に同期している。従局の多重化装置115と分離化装置109および基準位相信号発生部113は、位相調整部130を介して送られた従局の基準クロック135に同期している。

【0023】メモリ137の読み出しクロック136は、基準クロック135とは独立に位相調整部130で制御される。主局と従局のクロック供給装置131、132は周波数同期技術により同期が確立している。周波数同期技術については文献[辻、勝田：高安定化を図った新しい網同期装置、NTT R&D、Vol. 39、No. 4、pp. 649-658、1990]に詳しく説明されている。

【0024】以下、本発明の動作を時系列的に説明する。

(1) 第1過程

第1過程では、スイッチ112は従局の基準位相信号発生部113からのSTM-0信号114を選択するよう設定する。この状態で従局の位相調整部130で、従局の多重化装置、分離化装置、基準位相信号発生部の基準クロック135の位相を、主局の多重化装置と分離化装置の基準クロック133に対して連続的にずらす。単位時間あたりの位相の送れ量を Δf とする。

【0025】図2は、従局の分離化装置におけるVC-32信号が収容されたSTM-0信号のクロック乗せ換えを示した図である。分離化装置に到着したSTM-0信号201のAU-32ポインタ203の値をY、分離化装置に到着したSTM-0信号201と分離化装置に同期したSTM-0信号204のずれの初期値をX。

(単位はバイト)とすると、時刻tにおけるずれXは、従局の分離化装置の基準クロック位相が $\Delta f \cdot t$ だけ遅れているので、

$$X = X_0 + \Delta f \cdot t$$

である。従来技術の課題で述べたクロック乗せ換え方式により、分離化装置のクロックに同期したSTM-0信

号204のAU-32ポインタ206の値Pは、

$$P = Y - [X]$$

$$= Y - [X_0 + \Delta f \cdot t]$$

となる。ここで、 $[X]$ はXを越えない最大の整数を表す。

【0026】従局の基準位相信号分離部111では、STM-0信号204(図1では110)に収容されたVC-32信号205の先頭位置を基準位相信号(図1の123)として抜き出す。従って、分離された基準位相信号123の位相STM-0信号204のフレーム位相との差はPとなる。

【0027】一方、従局の基準位相信号発生部113と分離化装置109は、同じ基準クロック135に同期して動作しているので、STM-0信号204のフレーム位相と従局の基準位相信号発生部113から発生される基準位相信号(図1の122)の位相との間の位相差は固定である。よって、基準位相信号123と122の位相差 ΔT (図1の128)のうち時間的に変化する成分は、AU-32ポインタ206の値Pの時間的に変化する成分と等しく、

$$\Delta T = -[X_0 + \Delta f \cdot t]$$

が従局の遅延測定部125で観測される。

【0028】一方、主局の分離化装置でのクロック乗せ換えでは、主局の分離化装置に到着するSTM-0のフレーム位相が分離化装置に対して、 $\Delta f \cdot t$ だけ遅れることになる。主局の分離化装置に到着するSTM-0のAU-32ポインタ値をY'、主局の分離化装置に到着するSTM-0のフレーム位相と分離化装置の基準位相に同期したSTM-0フレーム位相との位相差の所期値をXo' とすると、時刻tにおける位相差X' は、

$$X' = X_0' - \Delta f \cdot t$$

である。従って、クロック乗せ換え後のポインタ値P' は、

$$P' = Y' - [X']$$

$$= Y' - [X_0' - \Delta f \cdot t]$$

となる。従って、前述の ΔT と同様に、主局の遅延測定部124で測定される位相差 $\Delta T'$ (図1の126)のうち時間的に変化する成分は、P'の時間的に変化する成分と同じであり、

$$\Delta T' = -[X_0' - \Delta f \cdot t]$$

となる。 $\Delta T'$ は位相差情報として従局の位相調整部に送られ、従局の遅延測定部で測定される位相差 ΔT と比較される。

【0029】図3は従局の位相調整部で観測される ΔT (301)と $\Delta T'$ (302)の変化を、横軸を時刻tとしてグラフに表したものである。図3に示したように、 ΔT は時刻tが大きくなるにつれて階段状に小さくなり、逆に $\Delta T'$ は時刻tが大きくなるにつれて階段状に大きくなっていく。 ΔT で階段状に位相が変化する時刻(図中の矢印で示した時刻)は、 $X_0 + \Delta f \cdot t$ が整

数となる時刻である。すなわち m を整数として、
 $Xo + \Delta f \cdot t = m$
 となる時刻が、 ΔT の位相が階段状に変化する時刻 t である。これを解いて、 t は、
 $t = (m - Xo) / \Delta f$
 となる。同様に $\Delta T'$ の位相が階段状に変化する時刻 t' は、 n を整数として、
 $Xo' - \Delta f \cdot t' = n$
 となる時刻であるので、
 $t' = (Xo' - n) / \Delta f$
 となる。

【0030】第1過程で実行される重要な点は、従局の位相調整部で t と t' の時刻を観測し、時刻 t と時刻 t' の中間の時刻で、分離化装置109と多重化装置115の基準クロック135の位相を固定することである。図3に示すように、 t と t' はそれぞれ $1/\Delta f$ の時間間隔で連続的に発生するので、位相調整部で ΔT と $\Delta T'$ を観測すれば、階段状の位相変化が起こる時刻は *

$$Z = (Xo + Xo' + m - n) / 2 - [(Xo + Xo' + m - n) / 2]$$

$$Z' = (Xo + Xo' + n - m) / 2 - [(Xo + Xo' + n - m) / 2]$$

となる。一般に、 $X - [X]$ なる関数は X に任意の整数を加えても値が変化しないので、 Z' に $m - n$ なる整数 ※

$$Z' = (Xo + Xo' + m - n) / 2 - [(Xo + Xo' + m - n) / 2]$$

となり、 t'' において

$$Z = Z'$$

となることがわかる。図4は Z と Z' を横軸 t としてグラフに表したものである。図中実線で表したものが Z の変化、破線で表したものが Z' の変化である。 Z と Z' の階段状の位相変化が起こる時刻 t と t' の中間時刻 t'' では Z と Z' の値が一致していることがわかる。

【0033】また、 $t'' - t$ は、

$$t'' - t = (Xo + Xo') / 2 \Delta f$$

であるので、図4から Z と Z' が一致する時刻での Z の値は、

$$Z = (Xo + Xo') / 2$$

となる。 t と t' との時間間隔は測定できるので、上記の Z の値を決定できる。

【0034】従って、第1過程により従局の分離化装置と主局の分離化装置のクロック乗せ換えに伴う位相誤差、すなわち分離化装置の装置内遅延誤差を等しくすることができ、かつその値を知ることができる。

(2) 第2過程

第2過程ではスイッチ(図1の112)を従局のメモリ(図1の137)からのSTM-0信号(図1の138)を選択するよう設定し、主局から送信されたSTM-0信号が主局に返送されるようにする。

【0035】まず、メモリ137の読み出しクロック(図1の136)を書き込みクロック(図1の135)に同期させる。この状態ではメモリ137の前後でのSTM-0信号110と138の位相差は固定である。こ

* 予測できる。

【0031】そこで、 ΔT の階段状の位相変化が起こった時刻 t の次に、 $\Delta T'$ の階段状の位相変化が起こる時刻 t' を予測し、時刻 t と時刻 t' の中間の時刻 t'' で、基準クロック135の位相を固定する。 t'' は、
 $t'' = (t + t') / 2$
 $= (Xo' - Xo + m - n) / 2 \Delta f$
 となる。

【0032】従来技術の課題で説明したように、従局の分離化装置でのクロック乗せ換えに伴う位相誤差 Z は、
 $Z = X - [X]$
 $= Xo + \Delta f \cdot t - [Xo + \Delta f \cdot t]$
 であり、主局の分離化装置でのクロック乗せ換えに伴う位相誤差 Z' は、
 $Z' = X' - [X']$
 $= Xo' - \Delta f \cdot t' - [Xo' - \Delta f \cdot t']$
 となる。基準クロック435の位相を固定した時刻 t'' では、 Z と Z' はそれぞれ、

$$Z = (Xo + Xo' + m - n) / 2 - [(Xo + Xo' + m - n) / 2]$$

※を加えると、

★の状態では、主局の位相調整部129において、主局の基準位相信号発生部の基準クロック(図1の134)の位相を、主局の多重化装置の基準クロック(図1の133)に対して連続的に変化させる。単位時間あたりの位相遅れ量を Δf とする。

【0036】主局の多重化装置の基準クロックの位相133は固定されているので、多重化装置でのクロック乗せ換えにより、

$$Z = Xo'' - \Delta f \cdot t - [Xo'' - \Delta f \cdot t]$$

なる位相誤差 Z'' が発生する。ここで、 Xo'' は主局の基準位相信号発生部からのSTM-0信号105のフレーム位相と多重化装置の基準フレーム位相の位相差の初期値である。

【0037】第2過程では主局の多重化装置と分離化装置、従局の多重化装置と分離化装置、この4つの装置相互間の基準クロックの位相差は固定である。従って、主局の遅延測定部では、主局の多重化装置でのクロック乗せ換えによる位相誤差 Z'' のみが観測される。

【0038】そこで、主局の基準位相信号発生部の基準クロックの位相を連続的に変化させながら Z'' を観測し、 $Z'' = 1/2$ (バイト)となる時刻で基準位相信号発生部の基準クロックの位相を固定する。これにより、主局の多重化装置の装置内遅延を一定の既知の値に固定することができる。

【0039】次に、基準クロック133と134の位相差を固定した後、従局の位相調整部130において、メモリ137の読み出しクロック136の位相を、書き込

みクロック135の位相に対して連続的に変化させる。

【0040】これにより、メモリ137の前後でのSTM-0信号110と138との位相差を連続的に変化させることができる。従局の多重化装置115は基準クロック135に同期しているので、この操作で、多重化装置115に入るSTM-0信号138の位相を、多重化装置115をの位相に対して連続的に変化させることができる。この状態で、主局の遅延測定部で、位相差を測定すれば、従局の多重化装置のクロック乗せ変えによる位相誤差が観測できる。

【0041】そこで、前述の主局の多重化装置内遅延を一定にした方法と同様に、従局の多重化装置内遅延が一定の値になる時刻でメモリの読み出しクロックの位相を固定する。これにより、従局の多重化装置の装置内遅延を一定の既知の値に固定することができる。従って、第2過程において主局の多重化装置と従局の多重化装置の装置内遅延誤差を固定し、その値を知ることができる。

【0042】(3) 第3過程

第3過程では第2過程と同様に、スイッチは従局の分離化装置からのSTM-0信号を選択するよう設定し、主局から送信されたSTM-0信号が主局に返送されるようにする。この状態で主局の基準位相信号発生部の基準クロック、主局の多重化装置と分離化装置、従局の多重化装置と分離化装置それぞれの基準クロック、メモリ読み出しクロック、この6つの基準クロックの位相を固定し、主局の遅延測定部において位相差 ΔD を測定する。

【0043】第1過程により従局の分離化装置と主局の分離化装置のクロック乗せ換えに伴う位相誤差が等しくかつ既知のものとなっており、第2過程により主局の多重化装置と従局の多重化装置の装置内遅延量が既知となっているので、それらの値を ΔD から差し引くことにより、多重化装置および分離化装置の装置内遅延量の影響をなくすることができる。よって、従来技術で述べた ΔD の1/2を往路伝送路の遅延時間とする方式により、多重化装置および分離化装置の装置内遅延量の影響のない正確な遅延測定が実現できる。

【0044】本実施例において、位相調整部は、フェイズロックループ回路またはシンセサイザにより実現できる。また、遅延測定部はカウンタにより実現できる。基準位相信号発生部は、基準クロックに同期した基準位相信号を発生する機能を持つ。基準位相信号は例えば、1秒間隔のパルス信号である。また、基準位相信号発生部は、基準位相信号の位相に同期したVC-32信号が収容されたSTM-0信号を発生する機能を持つ。

【0045】基準位相信号が1秒間隔のパルス信号である場合、「基準位相信号の位相に同期したVC-32信号」とは、8kHz周期のフレーム構造を持つVC-32信号の先頭位相が、8000フレームに1回の割合で1秒パルスに同期しているような信号のことである。そして、どのフレームが1秒パルスに同期しているかを示

すために、VC-32信号には8000フレームに1回の割合で秒パルス識別子が付加されている。

【0046】基準位相信号分離部は、基準位相信号発生部が発生したSTM-0信号から、基準位相信号を分離する機能を持つ。基準位相信号が1秒間隔のパルス信号である場合を例にとると、基準位相信号分離部は、STM-0信号に収容されているVC-32信号を識別し、秒パルス識別子が付加されているVC-32フレームの先頭位相を1秒パルスとして抜き出す動作を行う。

10 【0047】多重化装置と分離化装置はモジュールAと呼ばれる多重中継装置で実現できる。モジュールAについては、文献「上田、辻、坪井：新しい同期インターフェースを適用した同期端局装置、NTT R&D、Vol. 39、No. 4、pp627-638、1990」に詳しく述べられている。

【0048】クロック供給装置はクロックサブプライモジュール(CSM)と呼ばれる装置で実現できる。CSMは端局装置のクロック抽出部で抽出された伝送路信号のクロック成分に位相同期して発振する位相同期発振器で構成されている。

【0049】[B] 第2の実施例

図5は本発明の第2実施例を示すブロック図である。第1の実施例と異なる点は、スイッチを廃し、従局の基準位相信号発生部513からのSTM-0信号514が常に主局に送信されるようにしたことである。また、従局の遅延測定部525で測定した位相差情報528を主局に送信し(537)、主局の位相調整部524に送る点も異なる。

【0050】さらに、従局の位相制御部530が、従局の多重化装置515と分離化装置509の基準クロック535の位相と、従局の基準位相信号発生部の基準クロック536の位相とを別々に制御する点が異なる。以下では第2実施例の動作を時系列的に説明する。

【0051】(1) 第1過程

第1過程では、第1実施例の第1過程と同様の動作を行い、従局の分離化装置と主局の分離化装置の位相相誤差を等しくし、その値を決定する。

【0052】(2) 第2過程

40 第2過程では、まず、主局の基準位相信号発生部の基準クロック534の位相を、主局の多重化装置の基準クロック533に対して連続的に変化させながら、従局の遅延測定部525において位相差 ΔT を測定する。図6は主局の基準位相信号発生部と主局の多重化装置の基準クロックの位相差 X と、 ΔT の関係をグラフ化したものである。

【0053】図6に示したような階段状に変化する位相差 ΔT が測定されるので、階段状の位相変化が起こる連続した2つの時刻 t と t' の間で基準位相信号発生部の基準クロック534の位相を固定する。これにより、主局の多重化装置でのクロック乗せ換えによる位相誤差

を1/2 (バイト) に固定できる。

【0054】また、従局の基準位相信号発生部513の基準クロック536の位相を、従局の多重化装置の基準クロック535に対して連続的に変化させながら、主局の遅延測定部524において位相差を測定する。前述の主局の多重化装置での位相誤差を固定した方法と同様の方法により、従局の多重化装置での位相誤差を1/2 (バイト) に固定する。

【0055】(3) 第3過程

第3過程では、主局の基準位相信号発生部、主局の多重化装置と分離化装置、従局の多重化装置と分離化装置、従局の基準位相信号発生部、この6つの装置の基準クロックの位相を固定し、主局と従局の遅延測定部で遅延差を測定する。主局と従局の遅延測定部で測定した遅延差をそれぞれ $\Delta D1$ 、 $\Delta D2$ とすると、折り返し伝送路の往復の遅延時間 ΔD は、 $\Delta D = \Delta D1 - \Delta D2$

で求められる。第1実施例と同様に、この ΔD から多重化装置、分離化装置の装置内遅延を差し引いた値の1/2を往路伝送路の遅延時間とすることで、多重化装置および分離化装置の装置内遅延の影響のない正確な遅延測定が実現できる。

【0056】

【発明の効果】以上説明したように、本発明の伝送遅延測定方式は装置の基準クロックの位相を測定することにより、多重化装置および分離化装置の装置内遅延量を正確に決定し、装置内遅延誤差のない正確な伝送遅延時間を測定することができる。

【0057】また、本発明の伝送遅延測定方式をデジタル通信網における位相同期方式に適用すれば、装置内の遅延時間誤差の影響なしに伝送遅延時間を測定し、補正することができるので、正確な位相同期が実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すブロック図である。

【図2】第1実施例の第1過程における従局の分離化装置でのVC-32先頭位置の誤差を説明する図である。

【図3】第1過程における ΔT と $\Delta T'$ の変化を示す図である。

【図4】位相誤差 Z と Z' の変化を表すグラフである。

【図5】本発明の第2実施例を示すブロック図である。

【図6】第2の実施例の第2過程で測定される遅延差の変化

【図7】従来の伝送遅延測定方式を説明する図である。

【図8】STM-0信号のクロック乗せ換えによるVC-32先頭位置の誤差を説明する図である。

【図9】クロック乗せ換えによるVC-32先頭位置の誤差を示すグラフである。

【符号の説明】

101, 501, 701 主局

102, 502, 702 従局

103, 113, 503, 513, 703 基準位相信号発生部

104, 121~123, 504, 521~523, 704 基準位相信号

105, 110, 114, 119, 505, 510, 514, 519

基準位相信号が収容されたSTM-0信号

106, 115, 506, 515, 707, 709

10 多重化装置

107, 116, 507, 516, 711, 712

伝送路信号

108, 508, 705 往路伝送路

109, 118, 509, 518, 708, 710

分離化装置

111, 120, 511, 520 基準位相信号分離部

112 スイッチ

117, 517, 706 復路伝送路

20 124, 125, 524, 525, 714 遅延測定部

126, 127, 526, 527 主局で測定された位相差情報

128, 528, 537 従局で測定された位相差情報

129, 130, 529, 530 位相調整部

131, 132, 531, 532 クロック供給装置

133, 134, 135, 533, 534, 535, 536

基準クロック

30 136 メモリ137の読み出しクロック

137 メモリ

138 メモリから読み出されたSTM-0信号

201 従局の分離化装置に到着したSTM-0信号

202 STM-0信号201に収容されたVC-32

203 STM-0信号201のAU-32ポイント

204 従局の分離化装置に同期したSTM-0信号

205 STM-0信号204に収容されるVC-32

40 206 STM-0信号204のAU-32ポイント

301 従局の遅延測定部で測定される位相差 ΔT

302 主局の遅延測定部で測定される位相差 $\Delta T'$

715 返送された基準位相信号

801 到着したSTM-0信号

802 STM-0信号801のセクションオーバーヘッド

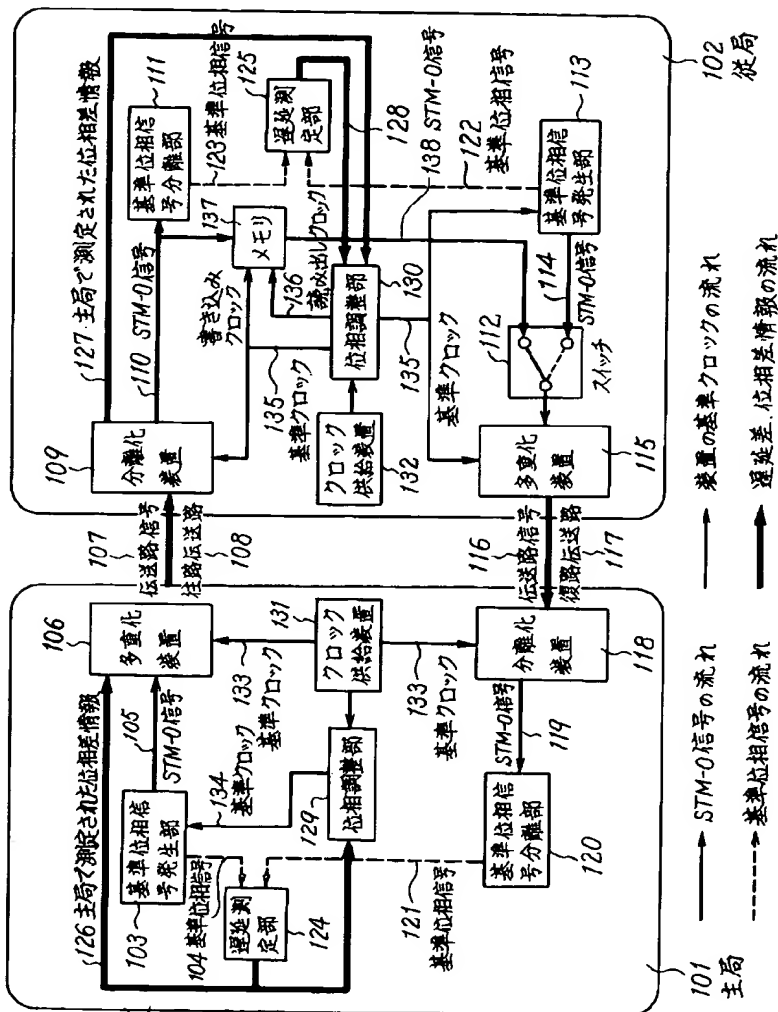
803 STM-0信号801のペイロード

804 STM-0信号801に収容されているパッチャルコンテナVC-32

50 805 STM-0信号801のAU-32ポイント

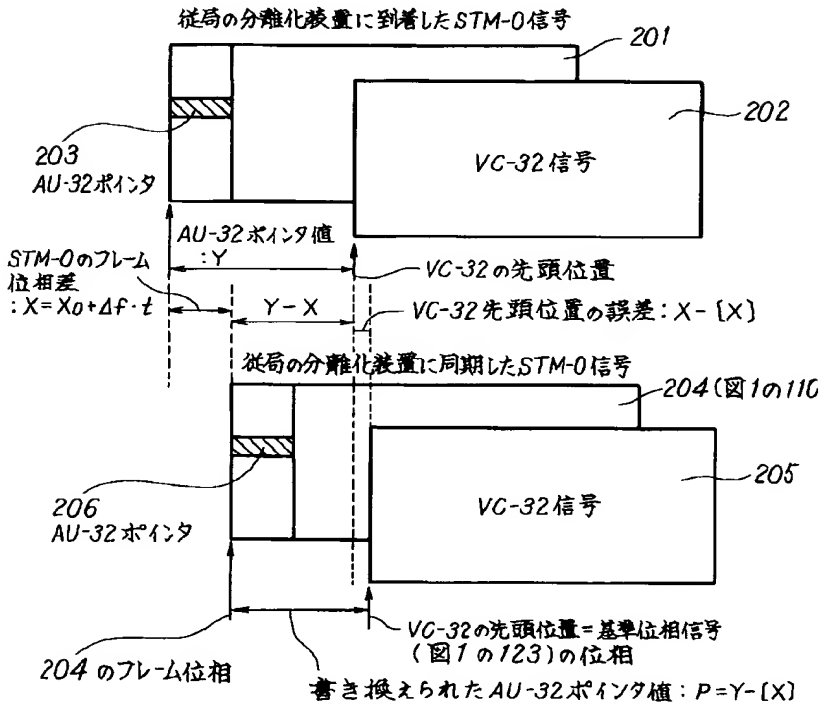
807 STM-0信号806に収容されるVC-3 * 808 STM-0信号806のAU-32ポインタ

本発明の第1の実施例を示すブロック図



【図2】

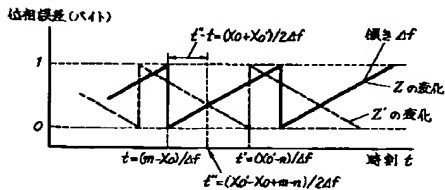
第1過程における従局の分離化装置での
VC-32先頭位置の誤差を説明する図



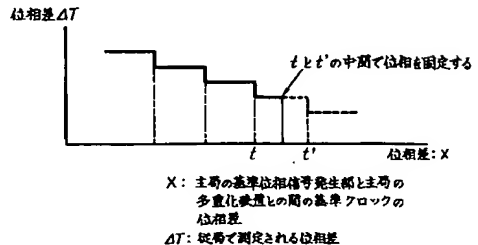
【図4】

【図6】

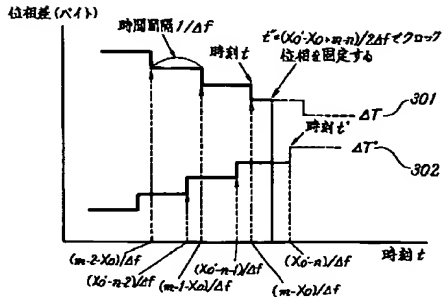
位相誤差 Z と Z' の変化を示すグラフ



第2過程で測定される遅延差の変化を示す図

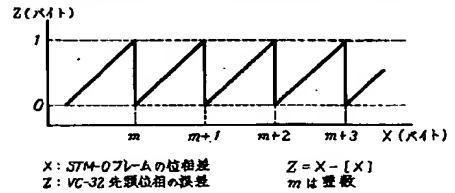


【図 3】

第1過程における ΔT と $\Delta T'$ の変化を示す図

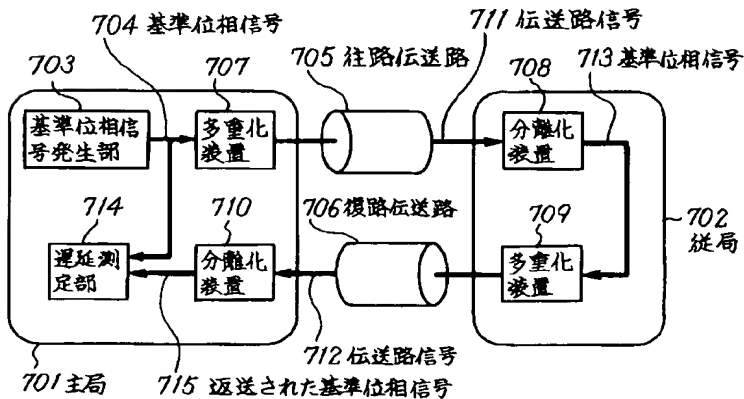
【図 9】

ブロック乗せ換えによるVC-32 先頭位相の誤差を示すグラフ



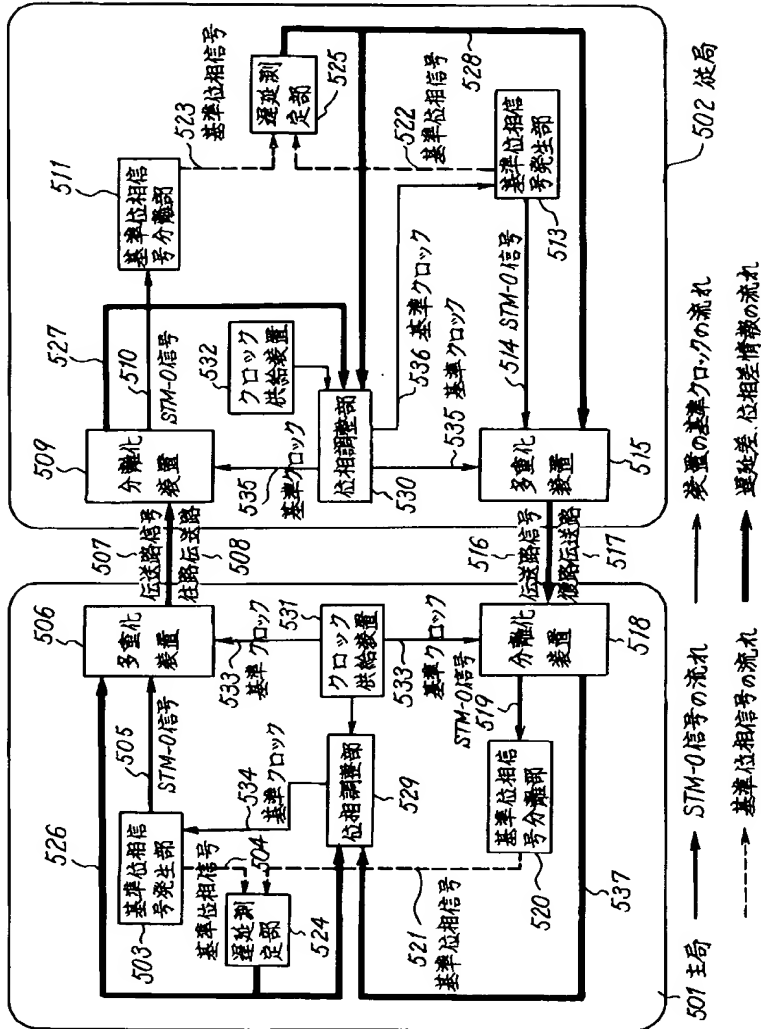
【図 7】

従来の伝送遅延測定方式を説明する図



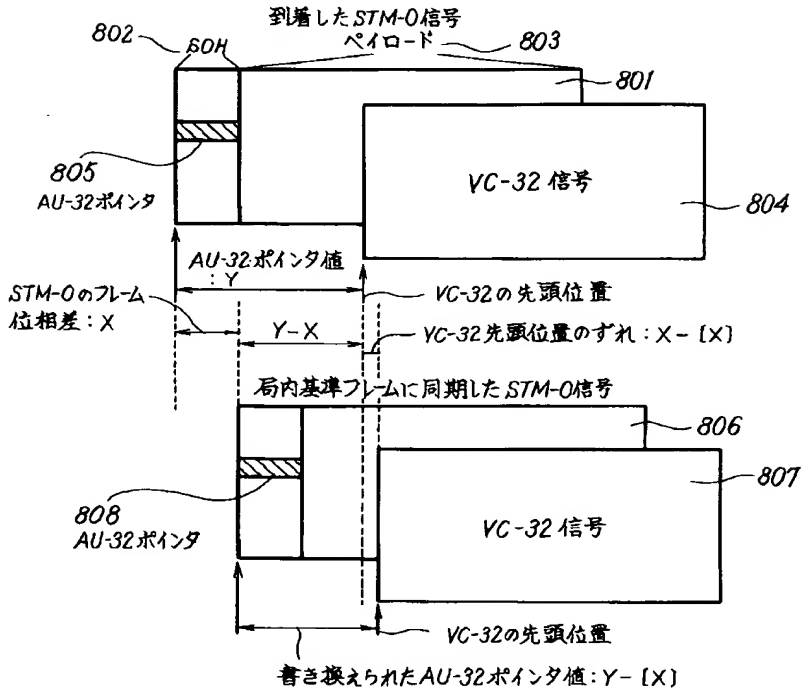
【図5】

本発明の第2実施例を示すブロック図



【図8】

STM-0信号のクロック乗せ換えによる
VC-32先頭位置の誤差を説明する図



フロントページの続き

(51) Int. Cl.⁴

H04L 12/26

識別記号

庁内整理番号

F I

技術表示箇所